

PATENT ABSTRACTS OF JAPAN(11)Publication number : **02-039442**(43)Date of publication of application : **08.02.1990**

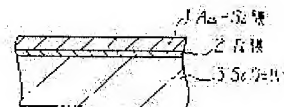
(51)Int.Cl.

H01L 21/52(21)Application number : **63-190444**(71)Applicant : **NEC CORP**(22)Date of filing : **28.07.1988**(72)Inventor : **SAITO MUTSUO****(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57)Abstract:

PURPOSE: To shorten a reaction time for eutectization and avoid defective bonding by forming a metal film made of material same as solder material used when a semiconductor chip is mounted on a package is formed on the rear of a semiconductor wafer.

CONSTITUTION: Ti as barrier metal is sputtered onto the rear of an Si wafer 3 on which a plurality of semiconductor elements are formed to form a Ti film 2. Then Au-Si, which is same as solder material used at the time of mounting, is sputtered to form an Au-Si film 1 on the Ti film 2. Therefore, if an Si chip formed by dicing the Si wafer 3 is mounted on a package, the Au-Si film 1 and the solder material are perfectly eutectized, so that the Si chip can be bonded to the package satisfactorily.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-39442

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月8日

H 01 L 21/52

D

8728-5F

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-190444

⑰ 出 願 昭63(1988)7月28日

⑱ 発 明 者 齋 藤 睦 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

表面に半導体素子が形成された半導体ウェハの裏面にバリア用金属膜を形成する工程と、前記バリア用金属膜上に半導体チップをマウントするためのろう材と同一材料からなる金属膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に半導体ウェハの裏面に対するバックメタライズ方法に関する。

〔従来の技術〕

従来、半導体素子を表面に形成したSiウェハ

一の裏面には、チップに分離した後のマウントのために、第2図に示すように、バリア金属としてのTi膜2をスパッタ法により形成し、更にこのTi膜2上にAu膜4をスパッタ法により形成するバックメタライズ法により金属膜が形成されていた。

〔発明が解決しようとする課題〕

半導体装置に内蔵される回路数が増加するにつれて半導体チップのサイズが大きくなり、さらに半導体チップを格納するパッケージが大型化する傾向にある。

半導体素子を多数有するSiウェハをダイシング後、個片になったSiチップをAu-Siからなるろう材を用いてパッケージにマウントした場合、Siチップ及びパッケージの大型化のため、マウント時の共晶温度でのパッケージ上の温度不均一、又は共晶化するための時間不足により、Siチップ裏面のAu膜とろう材のAu-Si層との共晶化が不完全になったり、ろう材のAu-Si層が溶けずに残ったりするため、マウ

ント後のSiチップの裏面とろう材の境界に接着不足が発生し半導体装置の信頼性を低下させるという欠点があった。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、表面に半導体素子が形成された半導体ウェハの裏面にバリア用金属膜を形成する工程と、前記バリア用金属膜上に半導体チップをマウントするためのろう材と同一材料からなる金属膜を形成する工程とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を説明するための半導体チップの断面図である。

第1図に示すように、表面に複数の半導体素子を形成したSiウェハ3の裏面にバリア用金属としてのTiをスパッタしTi膜2を形成する。続いてマウント時に用いるろう材と同一材料であるAu-Siをスパッタし、Ti膜2上にAu-

Si膜1を形成する。Au-Siの他にマウント時に使用するろう材として、Au-SnやAu-Ge等をスパッタしてもよい。

このように本実施例によれば、Siウェハ3の裏面にマウント時のろう材と同一の材料であるAu-Si膜が形成されているため、Siウェハ3をダイシングして形成したSiチップをパッケージにマウントする場合、Au-Si膜1とろう材との共晶化は完全に行なわれる。従ってSiチップとパッケージとの接着は良好なものとなる。

〔発明の効果〕

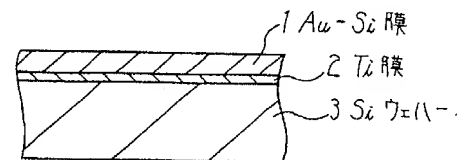
以上説明したように本発明は、半導体チップをパッケージにマウントする時に使用するろう材と同一の材料からなる金属膜を半導体ウェハの裏面に形成することにより、ウェハの裏面のバックメタライズ層とマウント時に使用するろう材が同一となるため、共晶化のための反応スピードが短縮され、マウント時間が少なくなる。このため従来発生していた接着不良を防止できる効果があ

る。

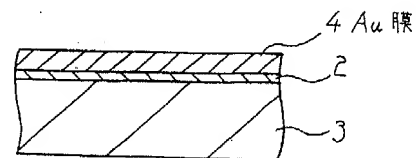
図面の簡単な説明

第1図は本発明の一実施例を説明するための半導体チップの断面図、第2図は従来の半導体装置の製造方法を説明するための半導体チップの断面図である。

1…Au-Si膜、2…Ti膜、3…Siウェハ、4…Au膜。



第1図



第2図

代理人 弁理士 内 原

